

Commissioner=s Decision #1282

Décision du Commissaire n° 1282

TOPIC: F01, G00, 000

SUJET : F01, G00, 000

Application No : 2,338,458

Demande n° : 2,338,458

RÉSUMÉ DE LA DÉCISION DU COMMISSAIRE

D.C.1282, demande n° 2,338,458

antériorité, évidence, invention non fonctionnelle

L'examineur a rejeté la demande, estimant que son résultat a été anticipé en raison de la divulgation publique de son objet avant la date de la demande. En outre, l'examineur a allégué que l'objet de la demande est évident et qu'un des éléments de la demande est non fonctionnel.

La demande a été refusée.

BUREAU CANADIEN DES BREVETS

DÉCISION DE LA COMMISSAIRE AUX BREVETS

La demande de brevet 2,338,458 ayant été refusée en vertu du paragraphe 30(3) des *Règles sur les brevets*, le demandeur a demandé que la décision finale de l'examineur soit révisée.

La Commission d'appel des brevets et la commissaire aux brevets se sont donc penchés sur la décision de l'examineur de refuser la demande. Leurs conclusions suivent :

Demandeur

Ioan Dancea

3, rue Acadle

Aylmer (Québec)

J9J 1H7

Canada

INTRODUCTION

1. La présente décision porte sur une demande de révision, adressée au commissaire aux Brevets, de la décision finale de l'examineur qui rejetait la demande de brevet numéro 2,338,458 déposée le 27 février 2001 et intitulée 54) MÉTHODE ET CIRCUITS VLSI PERMETTANT LES CHANGEMENTS DYNAMIQUES DU COMPORTEMENT LOGIQUE. M. Ioan Dancea, le demandeur et inventeur, s'est lui-même représenté dans la correspondance avec le Bureau. L'examineur responsable a rendu sa décision finale le 23 décembre 2003, dans laquelle il a rejeté les revendications 1 à 12 de la demande, sur la base d'un manque de nouveauté, d'évidence et de la non-fonctionnalité de l'invention.
2. À la demande du demandeur, la Commission d'appel des brevets a tenu une audience par téléconférence le 5 avril 2005, au cours de laquelle l'inventeur, M. Dancea, s'est représenté lui-même. Le Bureau des brevets était représenté par M. Andrew O'Malley

et M. Peter Ebsen, son chef de section.

3. M. John Cavar était membre de la Commission lors de l'audience, mais il a depuis quitté la fonction publique et n'a pas participé à la préparation des présentes recommandations au commissaire.

LE CONTEXTE

4. Cette invention fait appel à une méthode fondée sur des produits mathématiques qui permettent de modifier dynamiquement le comportement logique de circuits séquentiels combinatoires ou synchrones. Cette méthode fait appel à trois * mots de mémoire +, nommément un mot de masque, un mot de produit et un mot de fonction qui décrivent la relation entre les variables d'entrée et les fonctions booléennes de sortie qui décrivent le comportement logique. La demande décrit aussi une structure matérielle s'appliquant à divers types de circuits VLSI ayant un comportement logique qui peut être reconfiguré au moyen des trois mots de mémoire. Un système expert qui peut être utilisé afin de générer les tables de mots de mémoire et configurer les circuits VLSI en appliquant la méthode fondée sur les termes d'un produit est aussi décrit.
5. Le dossier de demande comporte 12 revendications et il a été déposé le 16 juin 2003 en réponse au rapport de l'examineur daté du 27 janvier 2003.
6. La revendication 1 définit une méthode de reconfiguration d'un dispositif VLSI. Elle se lit comme suit :

1 Méthode assistée par ordinateur qui modifie le comportement logique d'un dispositif VLSI reconfigurable dynamiquement d'un circuit cible à un autre circuit cible, comprenant une interface qui permet la réception d'une demande de configuration ou de reconfiguration, un adaptateur périphérique de gestion des processus de reconfiguration et un système expert, avec les étapes suivantes :

(a) réception d'une demande de configuration ou de reconfiguration d'un utilisateur ou d'un programme en cours d'exécution afin de configurer ou de reconfigurer ledit dispositif VLSI en un circuit cible défini par un ou plusieurs groupes d'équations logiques effectuant la somme de produits;

(b) configuration ou reconfiguration dudit dispositif VLSI par ledit système expert afin de traiter les équations logiques effectuant la somme de produits.

7. Les revendications 2 à 7 portent sur le dispositif VLSI particulier auquel la méthode peut être appliquée afin qu'il puisse être reconfigurable en divers circuits. Les revendications 2 et 3 sont les suivantes :

2 Un dispositif VLSI reconfigurable dynamiquement tel qu'il est décrit dans la revendication 1 afin de mettre en oeuvre les circuits combinatoires définis par un groupe d'équations logiques effectuant des sommes de produits, composé de :

* m + bornes d'entrée connectées à un registre d'entrée destiné à stocker les variables d'entrée;

* n + cellules, une cellule C(k) servant à déterminer la valeur logique d'un produit p(k) desdites équations logiques correspondant aux variables

d=entrée, où k est un entier $k \in [1, n]$;

un bloc de r portes OU, chaque porte comportant n entrées, connectées auxdites cellules $C(k)$ destinées à recevoir ladite valeur logique desdits produits $p(k)$ et produisant une valeur logique pour chaque équation logique sur les bornes de sortie r .

3 Un dispositif VLSI [sic] reconfigurable dynamiquement dans la revendication 2, dont ladite cellule $C(k)$ comporte :

une zone de registre de stockage destinée à stocker un mot de masque, un mot de produit et un mot de fonction représentant ledit produit $p(k)$;

un moyen au premier niveau logique permettant de recevoir lesdites m variables d'entrée et les valeurs logiques dudit mot de masque afin de générer des résultats intermédiaires;

un moyen au deuxième niveau logique permettant de comparer lesdites valeurs logiques dudit mot de produit avec les valeurs intermédiaires pour déterminer la valeur logique du produit $p(k)$;

un moyen au troisième niveau logique permettant de transférer ledit mot de fonction aux r bornes de sortie, en fonction de la valeur logique du produit $p(k)$.

8. Les autres revendications relatives au dispositif, soit les revendications 8 à 11, définissent d'autres mises en oeuvre d'un dispositif VLSI reconfigurable et la revendication 12 porte sur la méthode et elle décrit les éléments d'un système expert destiné à être utilisé avec la méthode de la revendication 1.

Questions en litige

La décision finale soulève les questions finales à la Commission:

1. Les revendications 1 à 2 sont-elles anticipées sur la base du paragraphe 28.2(1)(a) de la *Loi sur les brevets*?
2. Les revendications 1 à 12 sont-elles évidentes sur le fondement de l'article 28.3 de la *Loi sur les brevets*?
3. La revendication 12 est-elle non fonctionnelle sur le fondement de l'article 2 de la *Loi sur les brevets*?

DOCUMENTS DE RÉFÉRENCE APPLIQUÉS

Dancea¹: *Dynamically Changing the Logical Behaviour of a Microcomputer Interface*; IEEE Micro; volume 9, numéro 2; avril 1989; pages 39 à 51;

Dancea²: *A Software Method for Implementation of Digital Circuits in Microcomputer Systems*; Proceedings of the ISMM International Symposium; Beverly Hills, Californie; 5 au 7 février 1986; pages 145 à 148;

Dancea³: *An Expert System to Generate and/or Modify the Logical Behaviour of a Microcomputer Interface*; Proceedings of the ISMM International Symposium; Honolulu, Hawaii; 1^{er} au 3 février 1988; pages 148 à 152.

ANTICIPATION

Thèse de l'examineur

9. Dans la décision finale, l'examineur s'est opposé aux revendications 1 à 12 sur le fondement de l'alinéa 28.2(1)a) puisqu'elles ont été divulguées par le demandeur plus d'un an avant la date de dépôt de sa demande. Il a déclaré notamment :

La figure 6 de Dancea¹ montre un système expert connecté à un pilote matériel et une structure simulée. Le système expert interagit avec un utilisateur afin d'amorcer un processus de configuration (Dancea¹, page 43, colonne 1, lignes 30 à 45); la première boîte de décision de la figure 3 (Dancea¹, figure 3, ligne 1) illustre cette interaction. Le système expert configure ensuite le pilote et la structure simulée (Dancea¹, page 46, colonne 2, lignes 26 à 28); la dernière boîte d'action de la figure 3 (Dancea¹, figure 3, ligne 6) illustre cette étape. Dancea¹ déclare que la méthode peut être mise en oeuvre par un circuit VLSI (Dancea¹, page 50, colonne 2, lignes 1 à 12). La revendication 1 ne répond donc pas au critère de nouveauté à la lecture de Dancea¹.

La revendication 12, subordonnée relative à la méthode, définit la méthode de la revendication 1 seulement sur le plan de la structure. Par conséquent, la revendication 12 ne se distingue pas de la revendication 1, car il ne s'y trouve pas de définition d'autres étapes brevetables de la méthode.

La revendication 2 relative au dispositif, bien qu'elle soit subordonnée à la revendication relative à la méthode 1, définit des éléments de structure du circuit VLSI, notamment les bornes d'entrée, cellules et portes OU. Comme le montre la figure 12 de Dancea¹, les bornes d'entrée se trouvent au haut de la figure, la cellule de base est ombragée et les portes OU se trouvent dans le coin inférieur

gauche. À la lecture de Dancea¹, la revendication 2 ne satisfait donc pas au critère de nouveauté.

Les revendications subordonnées 3 à 12 relatives au dispositif décrivent d'autres détails de la disposition interne de la cellule et de diverses conditions d'entrée/sortie devant s'appliquer à la cellule, conformément à ce qui suit. On n'y retrouve aucun élément nouveau et les revendications 3 à 12 ne satisfont donc pas, elles non plus, au critère de nouveauté.

Un dispositif VLSI configurable permettant de mettre en oeuvre les comportements logiques définis par un groupe d'équations de sommes de produits et employant une série de cellules de base comportant de l'espace de stockage de mots de masque, de produit et de fonction ainsi que la logique requise pour déterminer des produits, tels que présentés dans les revendications 2 à 7, a été divulgué dans Dancea¹ (page 50, colonne 2, lignes 1 à 12). Une référence spéciale est faite à la figure 12, qui montre les registres et les blocs de logique requis pour effectuer les fonctions décrites par les revendications 2 à 7.

Les revendications 8 et 9 décrivent la mise en oeuvre d'un circuit combinatoire à sortie unique décrit dans le dispositif VLSI de la revendication 1. Dancea², qui porte directement sur la même méthode de simulation de circuit qui est employée dans Dancea¹ et la présente demande, décrit l'utilisation de la méthode de somme de produits pour le fonctionnement des circuits combinatoires à sortie unique (Dancea², page 145, colonne 2, lignes 1 à 41). Les revendications 8 and 9 ne satisfont donc pas au critère de nouveauté à la lecture de Dancea¹ et Dancea².

De manière semblable, les revendications 10 et 11 sont divulguées dans Dancea¹ et Dancea², en particulier en ce qui concerne la discussion des circuits séquentiels

synchrones à sorties multiples dans Dancea² (page 145, colonne 2, ligne 43, à page 146, colonne 1, ligne 55).

En ce qui concerne la revendication 12, un système expert utilisé pour définir le comportement logique de circuits numériques représentés sous forme d'équations produisant des * sommes de produits + est divulgué dans Dancea¹. La figure 3 montre le fonctionnement du système expert et la figure 4 montre plus en détail les opérations effectuées par le système expert pour traiter les équations de somme de produit afin de traiter les équations de somme de produit du circuit cible (ligne 4 de la figure 3). Les étapes illustrées par les figures 3 et 4 de Dancea¹ correspondent aux moyens décrits par la revendication 12. La revendication 12 ne satisfait donc pas au critère de nouveauté à la lecture de Dancea¹.

Réponse du demandeur

10. En réponse à la décision finale, le demandeur, dans une lettre datée du 27 février 2004, a demandé une audience et il a déclaré qu'il avait déjà donné une réponse détaillée aux mêmes arguments dans sa correspondance précédente avec le Bureau.
11. Dans sa lettre datée du 21 octobre 2002, le demandeur déclarait ce qui suit au sujet de la publication Dancea¹ précédente :

Évidemment, la solution matérielle prévisible (décrite dans la figure 12 et la description jointe de la publication mentionnée précédemment) partage des éléments avec la solution présentée dans les revendications 5 à 10 de la demande de brevet, car la deuxième représente une évolution de la première, mais les deux solutions diffèrent. Prenons seulement un exemple, soit

l'utilisation du circuit VLSI hypothétique le plus simple, tel qu'il est décrit dans les revendications 5 à 10, qui peut, entre autres choses, réaliser le circuit cible défini par les équations (1) (page 8) de la demande de brevet. Ces équations comportent 5 produits. Le terme $a \text{ ET } b +$ est présent entre ces produits dans les trois équations. Par conséquent, la cellule de base de la figure 12 de la publication Dancea¹, doit comporter au moins trois portes OU dans le bloc $a \text{ ports OU } +$. Comme on le sait, dans une structure complexe, toutes les cellules de base qui ont une fonction déterminée doivent avoir la même architecture. Par conséquent, les 5 produits de la structure proposée exigent 15 portes OU, un nombre supérieur aux 3 portes OU qui sont en réalité nécessaires par la mise en oeuvre décrite dans la demande de brevet. En réalité, si chaque cellule de base comporte des sorties standard, soit 8 ou 16 sorties et plusieurs centaines de produits, le surplus de portes OU et la présence du comparateur dans la publication Dancea¹ au lieu de portes NI exclusif multiplient dans une proportion de plusieurs ordres de grandeur le nombre de portes qui se trouvent dans l'architecture du circuit VLSI proposé de la demande de brevet.

12. Dans la page 2 de sa lettre datée du 21 octobre 2002, le demandeur signale les aspects uniques des circuits VLSI décrits dans cette application :

Afin d'appliquer ce mode particulier de synthèse, le demandeur a fait appel à une technique de l'algèbre, l'*induction parfaite* (il ne s'agit pas d'une méthode de synthèse classique). Une preuve par induction parfaite s'effectue en substituant toutes les combinaisons possibles de valeurs des variables logiques dans les deux mises en oeuvre (une solution qui met en oeuvre directement le circuit cible et la deuxième solution qui met en oeuvre le circuit cible en utilisant un circuit pour circuits) et en vérifiant que les deux solutions produisent les mêmes résultats avec toutes les combinaisons possibles (pour plus de détails, voir le chapitre 2 du livre $a \text{ Logic Design Principles } + d$ Edward J. McCluskey,

Prentice Hall, 1986).

(. . .)

Aucune personne compétente en conception numérique ne peut réaliser les circuits VLSI logiques proposés par synthèse classique, car toute synthèse classique exige la connaissance des signaux d'entrée, des signaux de sortie et du nombre et de l'ordre successif des états. Comme tous les circuits VLSI proposés dans la demande sont du type * circuits pour circuits +, qui peuvent mettre en oeuvre de nombreux circuits cibles différents, la personne compétente en conception numériques ne connaît la valeur d'aucun de ces paramètres. Par conséquent, elle doit avoir recours à d'autres modes de synthèse, ce dont le demandeur faisait état en expliquant la technique de l'induction parfaite. Le demandeur souhaitait mentionner dans sa correspondance précédente qu'une personne compétente en conception numérique se trouve normalement dans une situation où elle peut développer un circuit fonctionnel dont les paramètres sont entièrement spécifiés, de manière semblable à un soi-disant circuit cible dans la présente demande, pour laquelle les entrées, les sorties, le nombre et l'ordre successif des états sont connus. Par conséquent, pour mettre en oeuvre un tel circuit fonctionnel aux paramètres entièrement spécifiés, il ou elle appliquera une des méthodes de synthèse classique, apprises dans un établissement d'enseignement ou trouvées dans des documents de référence. Ces énoncés diffèrent complètement des affirmations de l'examineur.

Les principes juridiques applicables à l'antériorité

13. Le paragraphe 28.2(1) de la *Loi sur les brevets* prévoit notamment ce qui suit :

Objet non divulgué

28.2 (1) L'objet que définit la revendication d'une demande de brevet ne doit pas :

a) plus d'un an avant la date de dépôt de celle-ci, avoir fait, de la part du demandeur ou d'un tiers ayant obtenu de lui l'information à cet égard de façon directe ou autrement, l'objet d'une communication qui l'a rendu accessible au public au Canada ou ailleurs;

b) avant la date de la revendication, avoir fait, de la part d'une autre personne, l'objet d'une communication qui l'a rendu accessible au public au Canada ou ailleurs;

14. Dans l'examen de l'antériorité fondée sur une publication antérieure, nous sommes guidés par le critère décrit par le juge Hughes dans la décision *Janssen-Ortho Inc. c. Novopharm Ltd.*, [2006] A.C.F. n° 1535, 2006 CF 1234, où il a appliqué de la façon suivante la décision de la Cour Suprême du Canada rendue dans l'arrêt *Free World Trust c. Électro Santé Inc.* (2000), 9 C.P.R. (4th) 168 (C.S.C.) [*Free World Trust*] :

105 Dans l'arrêt *Free World Trust c. Électro Santé Inc.*, [2000] 2 R.C.S. 1024, 2000 CSC 66, la Cour suprême du Canada a décrit le critère applicable en matière d'antériorité au Canada. Elle indique au paragraphe 26 :

Y La question qui se pose sur le plan juridique est de savoir si cet article renferme suffisamment d'information pour permettre à une personne ayant des compétences et des connaissances moyennes dans le domaine de comprendre, sans avoir accès aux deux brevets, * la nature de l'invention et de la rendre utilisable en pratique, sans l'aide du génie inventif, mais uniquement grâce à une habileté d'ordre technique +. En d'autres mots, les renseignements donnés par Solov=eva étaient-ils, * en termes d'utilité pratique, les mêmes que ceux que donnent les brevets contestés +?: Y ou, pour reprendre l'exposé mémorable fait dans *General Tire & Rubber Co. c. Firestone Tyre & Rubber Co.*, [1972] R.P.C. 457 (C.A. Angl.), à la p. 486 :

Aussi clair qu'il soit, un poteau indicateur placé sur la voie menant à l'invention du breveté ne suffit pas. Il faut prouver clairement que l'inventeur préalable a pris possession de la destination précise en y laissant sa marque avant le breveté.

Il est donc difficile de satisfaire au critère applicable en matière

d'antériorité :

Il faut en effet pouvoir s'en remettre à une seule publication antérieure et y trouver tous les renseignements nécessaires, en pratique, à la production de l'invention revendiquée sans l'exercice de quelque génie inventif. Les instructions contenues dans la publication antérieure doivent être d'une clarté telle qu'une personne au fait de l'art qui en prend connaissance et s'y conforme arrivera infailliblement à l'invention revendiquée. (Beloit Canada Ltd. c. Valmet OY (1986), 8 C.P.R. (3d) 289 (C.A.F.), le juge Hugessen, à la p. 297)

106 La Chambre des lords a énoncé la question succinctement dans l'arrêt *Synthon v. SmithKline Beecham PLC*, [2005] UKHL 59 au paragraphe 19 (Lexis), [2006] 1 All. E.R. 685, [2006] R.P.C. 10, en déclarant que l'antériorité comporte deux exigences : la mise à la disposition des moyens nécessaires [* enablement +] et la divulgation.

15. Avant d'examiner leur validité, il faut donner aux revendications une interprétation téléologique. Cette interprétation nous révèle que certains éléments des revendications sont essentiels, alors que d'autres ne le sont pas. Voir l'arrêt *Free World Trust*, précité; voir aussi *Whirlpool Corp. c. Camco Inc.*, [2000] 2 R.C.S. 1067, 9 C.P.R. (4th) 129. Les revendications ainsi interprétées téléologiquement sont centrales dans la détermination de l'antériorité. Pour satisfaire aux critères de l'arrêt *Beloit* susmentionnés, les éléments essentiels d'une revendication doivent être divulgués par

une seule et unique publication antérieure. Dans l'arrêt *Free World Trust*, au paragraphe 25, la Cour suprême s'est exprimée ainsi [non souligné dans l'original] :

La défense fondée sur l'antériorité découlant d'une publication est difficile à établir, car les tribunaux reconnaissent qu'il n'est que trop facile, après la divulgation d'une invention, de la reconnaître, par fragments, dans un enseignement antérieur. Il faut peu d'ingéniosité pour constituer un dossier d'antériorité lorsqu'on dispose du recul nécessaire. En l'occurrence, les intimés prétendent que tous les éléments essentiels des prétendues inventions de l'appelante avaient été divulgués dans une seule publication, savoir l'article de Solov'eva, environ quatre ans avant la demande de brevet. Si tel est le cas, le brevet est invalide.

16. Dans *Dimplex c. CFM*, 2006 CFC 586, après que la Cour ait interprété les revendications conformément aux principes établis par la Cour suprême dans *le dossier Whirlpool* et *Free World Trust* (voir par. 49-52 de *Dimplex*), la Cour a appliqué les critères de l'arrêt *Beloit* pour examiner la question de l'antériorité. La Cour a poursuivi en examinant la question de l'antériorité et, au paragraphe 105, elle considère que seul les éléments essentiels des revendications devraient être pris en considération lorsque les revendications sont comparées avec les réalisations antérieures [soulignement ajouté] :

Comme je l'ai dit plus haut, je suis convaincu que Butterfield n'a pas divulgué tous les éléments essentiels des revendications en litige, notamment l'élément de scintillement et l'élément à effet de flammes. On ne saurait trouver chez Butterfield toute l'information nécessaire pour produire l'invention revendiquée sans user de compétence inventive supplémentaire.

17. En ce qui concerne l'antériorité, le droit canadien établit depuis longtemps que seul les éléments importants, ou essentiels, d'une demande doivent être divulgués dans la

découverte antérieure. Au par. 10, p. 134 de l'ouvrage *Hugues and Woodley on patents* (2008), le juge Hugues et les autres auteurs, citant la décision *Brushtech Inc. c. Liberty Home Products Corp.*, [1988] 21 C.I.P.R. 27, 23 F.T.R. 300, 23 C.P.R. (3d) 370, précisent :

[TRADUCTION] Cependant, lorsque le document établit clairement qu'il s'agit de la même invention, à l'exception d'un élément facile à discerner, il y a antériorité.

18. Dans *Xerox of Canada Ltd. c. IBM Canada Ltd.*, 1977 CarswellNat 669, 33 C.P.R.

(2d) 24, le juge Collier a dit :

68 Thorson, P., en faisant le résumé des précédents dans le jugement *The King c. Uhlemann Optical Co.* (1949), 11 C.P.R. 26, p. 41 à 43, [1950] Ex. C.R. 142, 10 Fox Pat. C. 24, p. 38 à 40; confirmé par 15 C.P.R. 99 p. 104, [1952] 1 R.C.S. 143, p. 151, 12 Fox Pat. C. 65 :

J'arrive maintenant aux attaques contre le brevet. Le défaut de nouveauté et l'absence d'objet, qui constituent des motifs pour déclarer invalide un brevet, sont intimement reliés mais ne sont pas identiques. Le lord juge Lindley a souligné cette différence dans *Gadd and Mason v. The Mayor of Manchester* (1892), 9 R.P.C. 516 à la p. 525 : * A l'examen de l'objet d'une invention, on présume sa nouveauté; la question consiste à savoir si, prenant pour acquis la nouveauté de l'invention, il s'agit d'une invention pour laquelle un brevet peut être délivré. Lorsqu'on examine la nouveauté, on prend pour acquis que l'invention en est une pour laquelle un brevet peut être accordé à la condition que l'invention soit nouvelle et la question alors consiste à savoir si, compte tenu de cette présomption, l'invention est nouvelle. A-t-elle fait l'objet d'une divulgation antérieure? S'il existe déjà un mémoire descriptif portant sur une invention identique, alors la seconde invention n'est pas nouvelle; mais si les deux inventions sont différentes, il faut alors examiner la nature et la portée de cette différence. À ce moment, la question en devient une de degré. Mais à moins de dire que les différences sont pratiquement sans importance, que la seconde invention n'a fait l'objet d'aucune activité inventive, qu'il n'est pas nécessaire de procéder à des expériences pour savoir si l'invention peut être utilement mise à exécution, on ne peut dire que la seconde se heurte à une antériorité, soit la première invention. +

19. De manière semblable, dans *Cabot Corp c. 318602 Ontario Ltd.*, 1988 CarswellNat 569, 19 C.I.P.R. 204, 17 F.T.R. 54, 20 C.P.R. (3d) 132, au paragraphe 46, le juge

Rouleau déclare :

Comme l'a fait remarquer M. Fox, au sujet d'un brevet attaqué pour absence de nouveauté, dans son remarquable ouvrage *Canadian Law and Practice Relating to Letters Patent for Inventions* (4e édition) 1969 aux pages 101 et 102 :

A-t-il été divulgué auparavant? S'il existe un mémoire descriptif antérieur pour le même objet, la deuxième invention n'est pas nouvelle; mais si les deux objets sont différents, la nature et l'étendue de la différence doivent être considérées. Il s'agit alors d'une question de degré. Mais à moins que l'on ne puisse dire que les différences sont réellement négligeables, qu'il n'y a aucune ingéniosité dans la deuxième invention, aucune expérience nécessaire pour démontrer qu'elle puisse être utilement appliquée ou non, la deuxième ne peut être considérée comme antérieure à la première.

De *Gadd v. The Mayor, c., of Manchester*, (1892) 9 R.P.C. à la page 525.) (Voir également *Sharp and Dohme Inc. v. Boots Pure Drug Co. Ltd.*, (1927) 44 R.P.C. 367, (1928) 45 R.P.C. 153; *British Celanese Ltd. v. Courtaulds Ltd.*, (1933) 50 R.P.C. 270.

20. Plus récemment, la Cour fédérale, dans *Axcan Pharma Inc. c. Pharmascience Inc. et al.* (2006) 50 C.P.R. (4th) 321 a appliqué cette approche de l'antériorité dans les par. 38 et 52 :

[38] Si j'avais conclu que la posologie de 13 à 15 mg/kg/jour ne formait pas un élément essentiel de la revendication du Dr Poupon, la publication de l'étude du Dr David aurait invalidé le brevet. En effet, si la posologie n'avait pas été essentielle, la revendication du Dr Poupon ne se serait pas différenciée de l'étude du Dr David.

Y

[52] Subsidiairement, si la posologie n'en constitue pas un élément essentiel, le brevet est néanmoins invalide au motif que l'article du Dr David, publié plus de deux ans avant le dépôt de la demande du brevet canadien, fait état d'une revendication portant sur l'utilisation de l'ursodiol dans le traitement de la cirrhose biliaire primitive.

21. De plus, les tribunaux ont statué que dans le cas où la divulgation fournit de l'information qui pourrait contrefaire une revendication, à laquelle le brevet donnerait effet, la divulgation publiée avant la date de la revendication est antérieure à cette dernière. Ce principe a été appliqué récemment dans *Eli Lilly Canada Inc. c. Apotex*, 2008 CF 142, au par. 138, et dans *Abbott Laboratories c. Canada (Ministre de la Santé Nationale et du Bien-être social)*, 2006 CAF 187, au par. 25, ces deux jugements faisaient référence à l'arrêt *Lightning Fastener Co. c. Colonial Fastener Co.*, 1933 CarswellNat 43 (C.S.C.), [1933] S.C.R. 377, [1933] 3 D.L.R. 348 (*Lightning Fastener*), dans lequel la cour a énoncé :

[TRADUCTION] Ce qui constitue de la contrefaçon, lorsqu'il est postérieur au brevet, détruit, règle générale, sa nouveauté lorsqu'il le précède.

Puisque le critère en la matière de contrefaçon autorise l'omission ou la substitution d'un élément non essentiel d'une revendication (*Free World Trust*, précité), il s'ensuit que la divulgation antérieure peut elle aussi omettre ou substituer un élément non essentiel, tout en détruisant la nouveauté de la revendication.

22. Depuis l'arrêt *Free World Trust*, lorsque l'on doit faire l'examen de l'antériorité, il faut décider si la différence entre la divulgation d'une réalisation antérieure et une revendication est vraiment sans importance en analysant si la différence, ou la variante, est essentielle ou non essentielle, en fonction des principes dégagés dans cet arrêt. Cette manière d'aborder l'antériorité est compatible avec celle qu'on applique lorsqu'il s'agit de déterminer s'il y a contrefaçon d'une revendication et fait en sorte que * l'équité et la souplesse + données par l'interprétation téléologique est maintenue autant en ce qui concerne les questions de validité - telles que l'antériorité - que pour les questions de contrefaçon.

23. Même s'il est certain qu'il est difficile de satisfaire au critère en matière d'antériorité, cela s'explique par la nécessité de divulguer l'information dans une seule référence

antérieure correcte qui comporte tous les éléments essentiels.

Analyse et conclusions : Antériorité

24. Après avoir examiné les revendications, la Commission en vient à la conclusion que les revendications 1 à 12 sont antérieures à la publication de Dancea. Les revendications seront détaillées l'une après l'autre pour ensuite être comparées à l'information contenue dans Dancea¹.

Aperçu de Dancea¹

25. Dancea¹ est la troisième de trois divulgations antérieures effectuées par le demandeur. La date de publication de Dancea¹ précède de plus de 11 ans la date de dépôt de la présente demande et elle présente la * méthode fondée sur des produits + à partir de la page 41. À la page 41 (colonne 1, 4^e paragraphe), Dancea¹ déclare que la méthode décrite peut être appliquée à la mise en oeuvre de tout circuit combinatoire à sorties multiples. Dancea¹ étend l'application de la méthode fondée sur des produits aux circuits séquentiels synchrones. On y propose aussi un système expert afin de développer des tables représentant les équations booléennes, avec une base de données permettant de stocker et de récupérer des équations booléennes représentant divers circuits cibles. La figure 1 est un organigramme de méthode fondée sur des produits qui illustre la série d'opérations appliquées aux trois mots de mémoire et au mot d'entrée afin d'obtenir des valeurs logiques des fonctions de sortie représentant le comportement du circuit cible. La page 42 donne un exemple de la méthode appliquée à un circuit combinatoire. Aux pages 42 et 43, qui contiennent la figure 2, Dancea¹ explique comment la méthode

pourrait être utilisée afin de simuler des circuits séquentiels synchrones comme un circuit séquentiel de Moore. Aux pages 44 et 45, ainsi que dans la figure 9, on donne un exemple de circuit séquentiel synchrone qui pourrait être simulé en appliquant la méthode fondée sur des produits. La figure 9 montre les tables de mots de mémoire qui représentent les circuits combinatoires constituant le circuit séquentiel de l'exemple. Aux pages 45 et 46, le document commence l'explication du système expert ainsi que de l'interface et de son pilote. Finalement, à la page 50 et dans la figure 12, un circuit VLSI est présenté pour appliquer la méthode fondée sur des produits. Les derniers paragraphes des pages 50 et 51 soulignent que :

* il peut y réaliser des circuits combinatoires et des circuits séquentiels synchrones; le même algorithme de mise en oeuvre est utilisé pour toutes les structures numériques; la méthode proposée peut être mise en oeuvre sous forme logicielle ou matérielle (par exemple, le circuit VLSI

proposé dans la figure 12). Une mise en oeuvre matérielle est recommandée pour les situations où le temps est un facteur critique. La figure 12 de Dancea¹ est reproduite ci-dessous :

26. Pour commencer notre analyse, établissons que les revendications 1 et 12 sont des revendications portant sur la méthode et les revendications 2 à 11 sont des revendications sur le dispositif, bien qu'elles soient ultimement subordonnées à la revendication relative à la méthode 1.

Revendication 1 : Analyse et conclusions

1 Méthode assistée par ordinateur qui modifie le comportement logique d'un dispositif VLSI reconfigurable dynamiquement d'un circuit cible à un autre circuit cible, comprenant une interface qui permet la réception d'une demande de configuration ou de reconfiguration, un adaptateur périphérique de gestion des processus de reconfiguration et un système expert, avec les étapes suivantes :

(a) réception d'une demande de configuration ou de reconfiguration d'un utilisateur ou d'un programme en cours d'exécution afin de configurer ou de reconfigurer ledit dispositif VLSI en un circuit cible défini par un ou plusieurs groupes d'équations logiques effectuant la somme de produits;

(b) configuration ou reconfiguration dudit dispositif VLSI par ledit système expert afin de traiter les équations logiques effectuant la somme de produits.

27. La Commission a relevé que les pages 15 à 16, les pages 19 à 20 et les figures 5 et 10 de la description originale, datée du 27 février 2001, appuient dans une certaine mesure cette revendication de méthode. En ce qui concerne l'interface et l'adaptateur périphérique définis dans le préambule, la Commission a envisagé le sens ordinaire et le sens technique de ces mots dans la réalisation. Le contexte de leur utilisation dans la revendication suggère que l'interface interagit avec le système expert. Ceci est conforme au page 15 de la description, où un utilisateur * interroge un système expert +, et la figure 5 et l'élément 81 de la figure 10. À la lecture de l'étape (a) de la revendication 1, * réception (...) d'une demande d'un utilisateur ou d'un programme +, et la page 16 (lignes 5 à 8), l'interface peut être une interface avec utilisateur (* interface utilisateur +) ou une interface avec un * programme de commande +.
28. En ce qui concerne l'adaptateur périphérique, le lecteur demeure dans l'incertitude quant à la portée voulue de ce terme; par contre, la revendication précise que c'est un élément destiné à * gérer des processus de reconfiguration +. Les pages 15 et 16 de la description et la figure 5 indiquent que l'adaptateur périphérique fonctionne de manière à configurer et mettre à jour le contenu des registres appropriés dans le circuit VLSI. Les registres comportent une ou plusieurs tables contenant les mots de mémoire, les tables étant utilisées afin de configurer ou de reconfigurer la structure du circuit (page 20, lignes 6 à 7; figure 10, étape 86).
29. La Commission note que les détails de l'interface et de l'adaptateur périphérique sont de toute évidence laissés à la responsabilité d'une personne compétente en conception et réalisation dans ce domaine, étant donnée l'absence de description et de soutien littéral ou substantif correspondants. Le reste de cette revendication relative à la méthode

semble raisonnablement bien étayé par la description et les schémas.

30. Considérons maintenant le document Dancea¹. On y divulgue un système expert destiné à programmer une mise en oeuvre (on ne précise pas s'il s'agit de logiciel ou d'un circuit VLSI) de la méthode fondée sur des produits (voir pages 43 à 46 de Dancea¹). Un exemple spécifique est donné dans le contexte de la mise en oeuvre logicielle de la méthode fondée sur des produits, sous le titre * *A real interface and driver* + aux pages 46 à 48 (Dancea¹), et dans les figures connexes. Dans cet exemple, l'algorithme de traitement des produits est mis en oeuvre sous forme de logiciel tournant sur un ordinateur. Plus précisément, la figure 8 inclut des * appels vers l'algorithme de traitement de la méthode fondée sur des produits +. Bien que Dancea¹ ne comporte pas de discussion explicite au sujet de l'utilisation du système expert pour configurer la mise en oeuvre de la méthode fondée sur des produits dans circuit VLSI, la Commission est d'avis qu'une personne compétente qui lit la description du système expert comprendrait comment il peut être utilisé avec toute mise en oeuvre de la méthode fondée sur des produits, y compris un dispositif VLSI tel qu'il est défini aux pages 50 et 51 et dans la figure 12 de Dancea¹. Quant à l'habilitation de la méthode de configuration divulguée dans Dancea¹ dans le contexte d'une mise en oeuvre matérielle (VLSI) de la méthode fondée sur des produits, il est à noter que tous les éléments de la présente description permettant la réalisation de la revendication 1 se trouvent aussi dans Dancea¹. Ceci nous amène à déduire que Dancea¹ fournit les renseignements nécessaires à une personne compétente en la matière pour que l'étape (b) de configuration dudit * dispositif VLSI par ledit système expert pour traiter des équations logiques de sommes de produits + soit divulguée.

31. La revendication 1 décrit une interface qui reçoit une demande de configuration. Ceci est décrit dans Dancea¹, qui explique que le système expert * interagit avec l'utilisateur... + afin d'offrir le choix d'entrer des équations booléennes décrivant le comportement d'un circuit ou de sélectionner une structure préalablement stockée dans une base de données (voir Dancea¹: page 43, lignes 29 à 35; figure 3). En réaction au choix effectué, le système expert transfère finalement la table représentant le circuit sélectionné par l'utilisateur à un circuit pilote qui commande l'interface (une interface matérielle et non l'interface utilisateur avec le système expert), ce qui influe sur la configuration demandée (Dancea¹: page 46). Cela constitue pour une personne compétente des lignes claires sur l'utilisation du système expert afin d'effectuer l'étape (a) de la revendication 1, soit * réception d'une demande de configuration ou de reconfiguration d'un utilisateur ou d'un programme en cours d'exécution afin de configurer ou de reconfigurer ledit dispositif VLSI en un circuit cible défini par un ou plusieurs groupes d'équations logiques effectuant la somme de produits +, et l'étape (b) de la revendication 1, soit * configuration ou reconfiguration dudit dispositif VLSI par ledit système expert afin de traiter les équations logiques effectuant la somme de produits. +
32. La Commission conclut que l'adaptateur périphérique comporte le pilote et l'interface matérielle décrits à la page 46 et dans la figure 6 de Dancea¹. Le système expert est présenté avec autant de détails dans Dancea¹ que dans la description originale du demandeur, aux pages 43 à 45 et dans les figures connexes.
33. À la lumière de ce qui précède, la Commission en conclut que la revendication 1 est anticipée par Dancea¹.

Revendication 2 : Analyse et conclusions

2 Un dispositif VLSI reconfigurable dynamiquement tel qu'il est décrit dans la revendication 1 afin de mettre en oeuvre les circuits combinatoires définis par un groupe d'équations logiques effectuant des sommes de produits, composé de :

- * $m + 1$ bornes d'entrée connectées à un registre d'entrée destiné à stocker les variables d'entrée;

- * $n + 1$ cellules, une cellule $C(k)$ servant à déterminer la valeur logique d'un produit $p(k)$ des dites équations logiques correspondant aux variables d'entrée, où $k + 1$ est un entier $k \in [1, n]$;

- un bloc de $r + 1$ portes OU, chaque porte comportant $n + 1$ entrées, connectées aux dites cellules $C(k)$ destinées à recevoir ladite valeur logique desdits produits $p(k)$ et produisant une valeur logique pour chaque équation logique sur les bornes de sortie $r + 1$.

34. La revendication décrit des portes OU destinées à $r + 1$ recevoir ladite valeur logique desdits produits $p(k) + 1$. Ceci semble comprendre des réalisations inopérantes à la lumière de la présente description (page 7, dernier paragraphe; page 11, avant dernier paragraphe; page 14, premier paragraphe). Bien qu'une forme de réalisation comporte une porte OU qui reçoit les valeurs logiques des produits, les formes réalisées avec des sorties multiples $n + 1$ en comportent pas. Les portes OU des réalisations à sorties multiples reçoivent chacune un bit d'un mot de fonction de chaque produit et non leurs valeurs logiques lorsqu'un produit est $r + 1$ actif. Cela entraîne une différence importante parce que, lorsqu'un mot de fonction est transmis, le bit qui est envoyé à la porte OU d'une équation de sortie à laquelle le produit ne contribue pas vaut 0 et non la valeur logique 1. Aux fins

de l'analyse de l'antériorité et de l'évidence, la Commission interprète que les portes OU reçoivent les bits correspondants d'un mot de fonction lorsque la valeur logique d'un produit est 1 et reçoivent un 0 des produits dont la valeur logique est 0. Cette anomalie devrait être corrigée pour qu'un brevet puisse être accordé.

35. Si on considère la figure 12 de Dancea¹, elle comporte $m + n + r$ bornes d'entrée, $m + n + r$ cellules et r ports OU qui alimentent r bornes de sortie, alors que $m + n + r$ et r sont des valeurs indéfinies. Il aurait été préférable que l'examineur ait aussi traité des éléments suivants : que Dancea¹ divulgue un registre d'entrée et de multiples cellules $C(k)$, que chacune des cellules de la figure 12 détermine la valeur logique d'un produit, que les portes OU de la figure 12 comportent chacune $m + n + r$ entrées connectées aux cellules afin de fournir une valeur logique aux bornes de sortie pour chacune des équations de sortie.

Registre d'entrée

36. Le registre d'entrée sert à stocker les variables d'entrée et il est connecté aux bornes d'entrée. Bien qu'elles ne soient pas décrites dans la revendication, les bornes d'entrée fournissent les valeurs logiques des variables d'entrée provenant du registre d'entrée à chaque cellule de base (description : page 13, lignes 14 à 17, figures 3 et 4). Une lecture attentive de la spécification révèle qu'il n'est pas nécessaire de stocker les variables d'entrée. Il est seulement nécessaire que les valeurs d'entrée soient fournies aux cellules de base. La manière dont les valeurs d'entrée sont fournies aux bornes d'entrée et ultimement aux cellules de base n'a aucune incidence sur le fonctionnement du dispositif VLSI revendiqué.

37. La figure 12 de Dancea¹ décrit une seule cellule de base et non le dispositif VLSI complet. Dans cette figure, les variables d'entrée sont fournies à la cellule illustrée par l'intermédiaire des bornes d'entrée. La figure ne montre pas comment les variables d'entrée sont fournies aux bornes d'entrée de la cellule, c'est-à-dire si elles proviennent, ou non, d'un registre d'entrée.

38. Dans ce cas, le registre d'entrée est très semblable aux éléments qui ont été estimés comme étant non essentiels dans le dossier *Free World Trust* où, au paragraphe 20, la Cour suprême a déclaré :

Compte tenu de la preuve d'expert entendue en première instance concernant le sens des termes utilisés et vu la compréhension que pouvait en avoir à la date du brevet un travailleur moyen versé dans l'art des appareils d'électromagnétothérapie et ayant les connaissances usuelles des personnes travaillant dans ce domaine, il appert que certains éléments des brevets 156 et 361 sont essentiels pour que l'appareil fonctionne comme l'a prévu l'inventeur et conformément aux revendications, et que d'autres ne le sont pas. Les éléments non essentiels peuvent être substitués ou omis sans que la construction ou le fonctionnement de l'invention décrite dans les revendications n'en soit substantiellement modifié.

Et, au paragraphe 23 :

Le brevet 156 comprend un certain nombre de revendications supplémentaires, qui découlent de la première revendication. Ainsi, par exemple, les revendications 4 et 5 décrivent un *condensateur déchargé de façon répétée+
(...)

Toutefois, la preuve révèle qu'une grande partie de ce matériel est couramment utilisé dans les laboratoires universitaires et en d'autres lieux où sont produits des champs magnétiques à l'aide de courants électriques transmis par des fils hélicoïdaux. Ces éléments sont visés par le brevet uniquement en raison de leur emploi de pair avec les éléments *essentiels+ de l'invention décrite dans la première revendication. Dans le cas de certains de ces éléments spécifiques, n'importe quelle personne versée dans l'art qui aurait pris connaissance du brevet à la date de sa publication aurait immédiatement constaté l'existence de substituts ou d'équivalents mécaniques connus qui feraient tout aussi bien l'affaire. Les revendications du brevet 361 prévoient en outre un certain nombre de composants interchangeables qui ne font pas partie essentielle de l'invention. Ainsi, les revendications 5, 14 et 20 du brevet 361 mentionnent l'utilisation d'interrupteurs en liaison avec l'appareil décrit dans la première revendication. Ces composants ne sont pas eux-mêmes brevetés; en fait, ils ne pourraient l'être, car il s'agit de matériel que les personnes versées dans le génie électrique connaissent et utilisent habituellement. Ils figurent dans la revendication en tant qu'élément d'une combinaison ingénieuse. Dans la présente affaire, le remplacement d'un type d'interrupteur par un autre ne toucherait pas les éléments essentiels de l'invention.

Plus loin, au paragraphe, la Cour décrit les principes déterminant si un élément est non essentiel :

Pour qu'un élément soit jugé non essentiel et, partant, remplaçable, il faut établir que (i), suivant une interprétation téléologique des termes employés dans la revendication, l'inventeur n'a manifestement pas voulu qu'il soit essentiel, ou que (ii), à la date de la publication du brevet, le destinataire versé dans l'art aurait constaté qu'un élément donné pouvait être substitué sans que cela ne modifie le fonctionnement de l'invention (...)

39. La Commission est d'avis que le travailleur compétent aurait estimé que, dans la mesure où des bornes d'entrée sont fournies, l'omission du registre d'entrée n'aurait aucune incidence matérielle sur la manière dont l'invention fonctionne et que le registre est donc considéré comme étant non essentiel. L'omission du registre d'entrée ne modifierait pas les éléments essentiels de l'invention. Le dispositif VLSI continuera de fonctionner de la même manière, remplissant les mêmes fonctions et fournissant les mêmes résultats (*Free World Trust, ci-dessus*).

40. Conséquemment, bien qu'un registre d'entrée aurait probablement été inclus par une personne compétente tentant de construire un dispositif VLSI conformément aux enseignements de Dancea¹, il n'est pas nécessaire qu'il figure dans cette publication pour qu'on puisse faire un constat d'antériorité.

Cellules C(k) multiples

41. Il est clair que, avant la date de la revendication, une personne compétente lisant Dancea¹ aurait su que la mise en oeuvre d'un VLSI exigerait plusieurs cellules C(k) (cellules de base) pour atteindre son objectif. Tout d'abord, chaque produit utilisé dans

la méthode fondée sur des produits exige un seul mot de masque, un mot de produit et un mot de fonction. La cellule de base montrée dans la figure 12 de Dancea¹ comporte un registre pour chacun des trois mots. Par conséquent, l=unique cellule de base montrée sert à calculer la valeur d=un seul produit (voir aussi page 41, figure 1, colonne 2, lignes 5 à 12). Comme Dancea¹ présente la figure 12 dans le contexte de * l=idée du traitement parallèle de produits + [traduction] (page 50 de Dancea¹), la Commission est d=avis que des cellules de base multiples seraient conformes à cet article et, par conséquent, nécessaires. Bien que la figure 12 montre seulement les détails d=une seule cellule de base, d=autres cellules dans Dancea¹ sont illustrées au moyen de la continuation des ports OU et des bornes d=entrée au-delà de la cellule de base (voir le côté droit du schéma). De plus, la présence de cellules multiples dans Dancea¹ est confirmée par le demandeur à la page 3 de sa lettre datée du 21 octobre 2002, où il déclare que 5 produits définis dans Dancea¹ exigeront 5 cellules.

Chaque cellule détermine la valeur logique d=un produit

42. En ce qui concerne le besoin formulé dans la revendication 2 selon laquelle chaque cellule logique détermine la valeur logique d=un produit, comme il est expliqué ci-dessus, la disposition de la cellule de base de la figure 12 est fournie afin de pouvoir déterminer la valeur logique d=un seul produit. Une séquence d=opérations est appliquée aux variables d=entrée en utilisant les trois mots afin de déterminer la valeur logique du produit. Comme il est dit à la page 50 de Dancea¹, * (...) la partie combinatoire de la cellule agit comme filtre entre l=information du produit et les sorties +. Par conséquent, chaque cellule dans Dancea¹ détermine la valeur logique d=un seul produit.

* ... * r + portes OU, ayant chacune n entrées connectées aux cellules de base, qui sont destinées à recevoir la valeur logique desdits produits et de fournir une valeur logique pour chacune des équations de sortie aux * r + bornes de sortie ... + [traduction]

43. Les connexions des portes OU (ports OU dans l'illustration) dans la figure 12 de Dancea¹ ne sont pas illustrées. Le dessin du port OU (figure 12, partie inférieure droite) se prolonge au-delà de la cellule de base dans les cellules adjacentes. Ceci est conforme à la méthode fondée sur des produits décrite dans Dancea¹. En particulier, l'équation logique de chaque fonction de sortie est sous la forme d'une * somme de produits + (Dancea¹: page 41, page 42, exemple). C'est-à-dire que la valeur logique de la fonction de sortie est exprimée sous forme de somme de produits. En algèbre booléenne, la sommation est effectuée au moyen de l'opérateur OU. Pour obtenir la sommation de produits d'une fonction de sortie, tous les produits doivent être mis en relation OU avec les autres. Par conséquent, la valeur logique de chaque fonction de sortie est calculée par une seule porte * OU + qui reçoit les produits à ses entrées.

44. À ce point, il est utile de résumer que la Commission a établi que les affirmations suivantes seraient facilement comprises par les personnes versées dans l'art qui liraient Dancea¹ : chaque cellule de base (figure 12) détermine la valeur logique d'un seul produit; le * traitement parallèle des produits + (page 50, colonne 2, ligne 4) indique à une personne compétente d'utiliser de multiples cellules de base pour obtenir de multiples produits en parallèle; le dessin du port OU (figure 12, partie inférieure droite) représente une opération OU qui reçoit les entrées de l'extérieur de la cellule ou de cellules avoisinantes; les produits doivent être mis en relation OU les uns avec les autres à une seule porte OU pour chaque fonction de sortie afin d'obtenir la sommation des produits.

45. La Commission est d'avis qu'en raison de ses compétences en conception de circuits numériques, un technicien compétent lisant Dancea¹ réaliserait immédiatement les connexions appropriées dans le dispositif VLSI en faisant appel à la seule cellule de base de la figure 12 comme bloc de construction de base. Une mise en oeuvre de la méthode fondée sur des produits qui fournirait une sortie de 8 bits, conformément à la figure 12, comporterait 8 portes OU, chacune des entrées de ces portes OU étant connectée aux ports ET des cellules de base, afin de réaliser le traitement parallèle des sorties respectives des ports ET (provenant de chaque cellule de base). Par conséquent, une personne versée dans l'art qui suivrait les instructions de Dancea¹, aurait réalisé le traitement parallèle des produits en appliquant respectivement chaque bit le plus significatif (MSB) provenant des ports ET de chaque cellule de base à la porte OU de la même cellule, chaque bit MSB-1 des ports ET de chaque cellule de base à une autre porte OU, chaque bit MSB-2 des ports ET de chaque cellule de base à une autre porte OU, et ainsi de suite. De cette manière, $n + 1$ bornes de sortie seraient alimentées par $n + 1$ portes OU, chaque porte OU comportant $n + 1$ entrées (où $n + 1$ est le nombre de cellules de base requises pour une réalisation donnée du dispositif VLSI). On ne restreindrait pas délibérément la conception du dispositif en appliquant seulement les sorties de quelques cellules de base à certaines portes OU car cela limiterait le nombre de produits pour une fonction de sortie donnée. Cela serait contraire à l'objet de la divulgation dans Dancea¹ pour réaliser tout circuit combinatoire à sorties multiples + (p. 41) et pour que l'on obtienne la même structure matérielle pour mettre en oeuvre un grand nombre de circuits + (p. 51).

46. Par conséquent, la Commission conclut qu'un dispositif réalisé en suivant les indications

de Dancea¹ doit être : un bloc de $* r +$ portes OU; chaque porte comportant $* n +$ entrées connectées auxdites cellules $C(k)$, destinées à recevoir ladite valeur logique desdits produits $p(k)$ et produisant une valeur logique pour chaque équation logique sur les bornes de sortie $* r +$. La Commission n'est pas en mesure de conclure, comme le suggère le demandeur dans sa lettre du 21 octobre 2002, que Dancea¹ déclare l'utilisation de trois portes OU dans chaque cellule si le terme $* a$ ET $b +$ est présent dans les trois équations. L'utilité d'une telle structure dans Dancea¹ n'est pas claire.

47. Conséquemment, la Commission a déterminé que le document de référence Dancea¹ (en particulier la figure 12 et la description connexe) comporte suffisamment de renseignements pour qu'une personne compétente soit amenée à la connaissance de l'objet de la revendication 2 sans devoir faire preuve d'inventivité et sans possibilité d'erreur.

48. La Commission a aussi considéré les déclarations de la page 5 de la lettre du demandeur datée du 21 janvier 2002 et portant sur la figure 12 dans Dancea¹, en particulier :

* De plus, il n'existe aucune spécification correcte dans la figure 12 (de la publication Dancea¹) au sujet des paramètres du circuit et de leur fonction, en particulier dans le cas des entrées m , des sorties r et des produits $p(k)$. Ces paramètres établissent les limites de performance. Ce schéma montre plutôt une valeur non justifiée de 8 entrées et de 8 sorties. De plus, la figure 12 (publication Dancea¹) et le texte connexe ne donnent aucune indication quant au nombre ou au type des équations (sorties ou état suivant) que le circuit met en oeuvre.

49. La Commission remarque que les paramètres m , r et k de la revendication 2 ne sont pas énoncés explicitement, dans le sens littéral, dans Dancea¹. Par contre, la revendication

2 ne définit aucune caractéristique distinctive portant sur le nombre ou le type d'équations mises en oeuvre dans le circuit. Par ailleurs, aucune limite n'est imposée à la performance du dispositif de la revendication 2 par les paramètres m , r et k . Il en résulte qu'une considération additionnelle accordée à ces paramètres ne réserve par la revendication 2 dans une situation où elle s'appuie sur Dancea¹ lorsque des valeurs appropriées sont attribuées à m , r , k et n . Cette absence de limites connexes aux performances ou de caractéristique distinctive dans la revendication 2 au sujet de ces paramètres amène la Commission à conclure que ces valeurs n'ont aucune incidence matérielle sur la manière dont fonctionne la prétendue invention.

50. Compte tenu de ce qui précède, la Commission conclut que la revendication 2 est anticipée par Dancea¹.

Revendication 3: Analyse et conclusions

3 Un dispositif VSLI [sic] reconfigurable, tel que défini dans la revendication 2, dont ladite cellule $C(k)$ comporte :

une zone de registre de stockage destinée à stocker un mot de masque,

un mot de produit et un mot de fonction représentant ledit produit $p(k)$;

un moyen au premier niveau logique permettant de recevoir lesdites $m +$ variables d'entrée et les valeurs logiques dudit mot de masque afin de générer des résultats intermédiaire;

un moyen au deuxième niveau logique permettant de comparer lesdites valeurs logiques dudit mot de produit avec les valeurs intermédiaires pour déterminer la valeur logique du produit $p(k)$;

un moyen au troisième niveau logique permettant de transférer ledit mot

de fonction au * r + bornes de sortie, en fonction de la valeur logique du produit

$p(k)$.

51. La zone des registres de stockage est divulguée dans la figure 12 et la description connexe à la page 50 de Dancea¹, qui décrit * trois registres de un mot qui stockent le mot de masque, un mot de produit et le mot de sortie [un mot de fonction] d=un produit logique [terme * produit +] +. Ces caractéristiques sont clairement représentatives d=un produit car la méthode faisant appel aux produits exige un ensemble de chacun des trois mots pour chaque produit (tel qu=il est discuté dans l=analyse de la revendication 2, ci-dessus).
52. Le * moyen au premier niveau logique + de la revendication 3 est réalisé au moyen du premier ensemble de * ports ET +, illustré dans la partie gauche de la cellule dans la figure 12 de Dancea¹. Les ports ET reçoivent les variables d=entrée et un mot de masque afin de produire un résultat intermédiaire.
53. Le * moyen au deuxième niveau logique + est réalisé dans la figure 12 de Dancea¹ au moyen d=un bloc comparateur qui évalue un mot de produit en fonction du résultat intermédiaire produit par le * moyen au premier niveau logique + afin de fournir les valeurs logiques du produit.
54. Avant de considérer le * moyen au troisième niveau logique +, la Commission remarque que la revendication 3 ne concorde pas avec la description (pages 9 et 13, figures 3 et 4) car il assure le transfert d=un mot de fonction directement aux bornes de sortie. Selon la méthode fondée sur des produits, telle qu=elle est expliquée dans la description de

la présente invention et dans Dancea¹, le mot de fonction doit être mis en relation OU avec le mot de fonction de tous les autres produits (afin d'obtenir la sommation finale requise par la forme * somme de produits + de l'équation de sortie). La revendication omet la logique nécessaire pour déterminer la valeur logique de la fonction de sortie. Aux fins d'examen de l'anticipation et de l'évidence, la Commission considérera le besoin qu'un mot de fonction soit transmis aux entrées du bloc de * r + portes OU de la revendication 2. Par contre, pour qu'un brevet puisse être accordé en réponse à cette demande, il faudrait que cette lacune soit corrigée.

55. En ce qui concerne le * moyen au troisième niveau logique +, la figure 12 de Dancea¹ comporte un second bloc de * ports ET + dans la partie droite de la cellule et des * ports OU +. La sortie du comparateur (c.-à-d. la valeur logique du produit) et le mot de fonction sont appliqués aux ports ET. Les ports ET transmettent le mot de fonction aux ports OU lorsque le comparateur produit un niveau logique 1 (pour l'égalité) à sa sortie. Ce dernier détail n'est pas indiqué explicitement dans la figure 12 car le câblage des portes est soustrait de ce schéma fonctionnel. Par contre, la transmission du mot de fonction lorsqu'on obtient une * égalité + est inférée de la compréhension de la méthode fondée sur des produits et de son algorithme. Une personne versée dans l'art aurait réalisé le circuit VLSI de la figure 12 de Dancea¹ en configurant les entrées du second bloc de portes ET de manière à ce qu'ils fournissent le mot de fonction comme sortie lorsque le comparateur produit un signal * d'égalité + (c.-à-d. en fonction de la valeur logique du produit). Le * moyen logique au troisième niveau + de Dancea¹ transfère le mot de fonction au port OU, dont la sortie est appliquée aux bornes de sortie.

56. La Commission en conclut que la revendication 3 est anticipée par Dancea¹. Comme dans

le cas de la revendication 2, cette conclusion est confirmée par le fait qu'aucune limite n'est appliquée à m , n , k et r . Ainsi, si des valeurs appropriées sont choisies, la structure de la revendication 3 est perçue comme étant anticipée dans Dancea¹.

Revendication 4 : Analyse et conclusions

4 Un dispositif VSLI [sic] reconfigurable, tel que défini dans la revendication 3, dans lequel ladite zone des registres de stockage comporte deux registres de m bits et un registre de r bits.

57. La composition de la zone de registres de stockage n'est pas illustrée explicitement dans la figure 12 de Dancea¹. Bien que la décision finale désigne ces caractéristiques comme étant des * détails plus approfondis du montage interne + et la * logique nécessaire pour déterminer les produits +, il aurait été préférable que l'examineur développe ces affirmations.
58. Selon une interprétation de la méthode fondée sur des produits et, en particulier, de la description des trois mots de la colonne 2 de la page 41 de Dancea¹, le mot de masque et le mot de produit comportent tous deux un bit par variable d'entrée (car ils représentent tous deux des associations reliées aux variables d'entrée). Selon la revendication subordonnée 2, * m + représente le nombre de variables d'entrée. Il s'ensuit que les registres de masque et de mot de produit de la figure 12 comportent * m + bits (* m + = 8 dans l'exemple, car le mot d'entrée comporte huit bits) et fondent donc cet élément de la revendication. De manière semblable, on sait que le mot de fonction, d'après la page 41 (où il est nommé mot de sortie) et l'exemple de la page 42 de Dancea¹, doit

comporter le même nombre de bits que le nombre de sorties (équations de sortie).

Comme n dans les revendications, selon la revendication subordonnée 2, désigne le nombre de bornes de sortie, il s'ensuit que le registre de mot de fonction de la figure 12 dans Dancea¹ comporte n bits (où $n = 8$, car la sortie décrite dans cet exemple comporte 8 bits).

59. La Commission en conclut que la revendication 4 est anticipée par Dancea¹.

Revendication 5 : Analyse et conclusions

5 Un dispositif VSLI [sic] reconfigurable, tel que défini dans la revendication 3, où ledit moyen au premier niveau logique comporte n portes ET, chacune devant recevoir un bit correspondant desdites n variables d'entrée et dudit mot de masque afin de produire un bit correspondant dudit résultat intermédiaire.

60. Bien que la configuration $n \times 2$ bits des portes ET du n moyen au premier niveau logique ne soit pas montrée explicitement dans la figure 12 de Dancea¹, il est clair que le premier n port ET reçoit 8 bits d'entrée et appliquerait une opération ET de bit à bit avec les 8 bits du mot de masque. Comme il a été expliqué précédemment au sujet de la revendication 4, la figure 12 correspond à la situation où $n = 8$, incluant un mot de masque de n ou 8 bits. La Commission est d'avis que toute personne compétente lisant la divulgation de Dancea¹ et interprétant la figure 12 comprendrait que, s'il y avait 16 bits d'entrée (c.-à-d. que $n = 16$), le port ET exigerait un port ET de 16×2 bits, chaque porte comportant deux entrées, une pour le bit d'entrée et l'autre pour le bit correspondant du mot de masque.

61. La Commission en conclut que la revendication 5 est anticipée par Dancea¹.

Revendication 6 : Analyse et conclusions

6 Un dispositif VSLI [sic] reconfigurable, tel que défini dans la revendication 3, où ledit moyen au deuxième niveau logique comporte :

m portes NI exclusif à 2 bits, chacune étant destinée à recevoir un bit correspondant dudit résultat intermédiaire et dudit mot de produit afin de fournir un bit correspondant au résultat de la comparaison;

une porte ET à m bits destinée à recevoir * m + bits dudit résultat de la comparaison afin de fournir la valeur logique du produit p(k).

62. La revendication 6 précise qu'il y a m portes NI exclusif à 2 bits servant à comparer le résultat intermédiaire avec le mot de produit. Les portes NI exclusif sont aussi désignées comme portes * d=équivalence + dans la spécification et leur utilisation est fréquemment qualifiée * d=opération de comparaison + (description originale : page 7, lignes 26 et 27; page 11, lignes 14 à 18; page 13, lignes 24 à 29). La sortie des portes NI exclusif est appliquée à une seule porte ET. La sortie de la porte ET fournit la valeur logique du produit.

63. Un extrait à noter de la page 11, lignes 14 à 18 de la description originale du 27 février 2001, se lit comme suit :

Ces résultats intermédiaires sont obtenus au moyen d=opérations

d=ÉQUIVALENCE qui produisent un niveau logique 1 lorsque les deux bits sont

identiques (c.-à-d. qu'ils valent tous deux un 0 logique ou un 1 logique) et qui produisent un niveau logique 0 lorsque les bits sont différents, c.-à-d. que l'absolue différence entre eux vaut un 0 logique et que l'absolue différence vaut un 1 logique (le terme ÉQUIVALENCE ET [NI exclusif] désigne la même opération logique).

64. La figure 12 de Dancea¹ montre un comparateur qui utilise le résultat intermédiaire (provenant du port ET) et le mot de produit comme intrants et produit comme extrant un signal nommé * Égalité +. Les détails du circuit comparateur sont par ailleurs omis de la figure, laissant ainsi les détails de la mise en oeuvre à la discrétion du lecteur.
65. Comme la figure 12 comporte aussi une opération d'égalité (c.-à-d. d'équivalence), la Commission est d'avis que le bloc comparateur dans la figure 12 de Dancea¹ remplit la même fonction que la porte NI exclusif de la revendication 6. Une personne compétente lisant Dancea¹ aurait compris que les comparateurs sont réalisés au moyen de portes NI exclusif.
66. La page 3 de la réponse du demandeur datée du 21 octobre 2002 déclare :
- En réalité, comme il y a des sorties standard pour chaque cellule de base, soit 8 ou 16 sorties, et plusieurs centaines de produits, un nombre excessif de portes OU et la présence du comparateur dans la publication Dancea¹ au lieu de portes NI exclusif, on multipliera par plusieurs ordres de grandeur le nombre de portes qui se trouvent dans l'architecture du circuit VLSI proposé de la demande de brevet.
67. La Commission n'est pas d'accord avec l'allégation du demandeur selon laquelle le

technicien compétent comprendra que le comparateur requis dans Dancea¹ doit être réalisé au moyen de portes en nombre excessif (au-delà du nombre de portes NI exclusif requis pour effectuer l'évaluation de l'équivalence). Le demandeur semble suggérer que le technicien compétent aurait réalisé un modèle de comparateur plus complexe, comme un comparateur de grandeur. Le technicien compétent n'emploierait pas une telle structure car les circuits logiques requis pour évaluer les conditions * plus grand que + et * inférieur à + ne sont pas requis. Le technicien compétent aurait réalisé un comparateur qui effectue seulement une évaluation d'équivalence (=), comme l'exige Dancea¹.

68. En ce qui concerne la fourniture de $m \times (2 \text{ bits})$ pour les portes NI exclusif et de m bits pour les portes ET, comme il a été expliqué précédemment, la Commission est d'avis qu'une personne versée dans l'art saurait à la date de la revendication que la spécification d'une possibilité de redimensionnement de la valeur de $m + n$ ne toucherait pas matériellement le fonctionnement de la cellule de base de la figure 12 de Dancea¹. La Commission a démontré précédemment pour la revendication 4 que la configuration $m \times (2 \text{ bits})$ est précisée pour les registres et les portes * ET + dans Dancea¹ et, par conséquent, cette configuration s'applique aussi à la porte NI exclusif.

69. La Commission conclut que la revendication 6 est anticipée par Dancea¹.

Revendication 7: Analyse et conclusions

7 Un dispositif VSLI [sic] reconfigurable, tel que défini dans la revendication 3, où ledit troisième niveau logique comporte : $r \times$ portes ET à 2 bits

afin de permettre le transfert dudit un mot de fonction si ledit terme \ast produit +
 $p(k)$ a la valeur logique 1.

70. Cette revendication décrit des détails plus poussés du \ast moyen au troisième niveau logique + de la revendication 3. La partie inférieure droite de la figure 12 de Dancea¹ divulgue des portes ET (illustrées comme ports ET). Elles permettent le transfert du mot de fonction de son registre lorsqu'un signal d'égalité est reçu du comparateur. Dans ce cas, la seule question qui se pose est la suivante : le bloc ET comporte-t-il \ast r + portes à 2 bits? En analysant la revendication 2, la Commission a conclu qu'une personne versée dans l'art qui examinerait la figure 12 en déduirait que le port OU exigerait le même nombre de \ast r + portes OU que le nombre de \ast r + sorties requis. Dans la revendication 2, la Commission a aussi déterminé que chaque bit de la sortie est obtenu en appliquant une opération OU à un nombre d'entrées égal au nombre de cellules de base utilisées (dans la revendication 2, n = nombre de cellules de base). En outre, en ce qui concerne la revendication 4, il a été démontré que le mot de fonction de Dancea¹ exige un bit pour chaque fonction de sortie possible. Comme il y a \ast r + bits dans le mot de fonction, il s'ensuit que \ast r + portes ET sont requises si le signal d'égalité doit être utilisé afin de transmettre le mot de fonction. Par conséquent, en ce qui concerne la revendication 7, un technicien compétent lisant Dancea¹ réaliserait que le port ET comporte r sorties et doit comporter r portes ET. Comme l'opération ET traite deux intrants, un provenant du mot de fonction et l'autre provenant de la fonction égalité, le port ET de la figure 12 se compose de $r \ast 2$ bits portes ET. La Commission conclut que la figure 12 implique qu'il y a \ast r + portes ET à 2 bits si le signal d'égalité a la fonction de transférer le mot de fonction.

71. Pour ce motif, la Commission en conclut que la revendication 7 est anticipée par Dancea¹.

Revendication 8 : Analyse et conclusions

8. Un dispositif VLSI reconfigurable dynamiquement tel que défini dans la revendication 1 pour la mise en oeuvre du circuit défini par une seule équation logique de somme de produits, où ledit circuit VLSI comporte une porte OU seule connectée auxdites n cellules destinées à recevoir lesdites valeurs logiques desdits produits $p(k)$ afin de produire une seule sortie correspondant à ladite équation logique .

72. À l'opposé des revendications 2 à 6 relatives au dispositif, cette revendication est directement subordonnée à la revendication 1. La revendication 1 n'impose aucune limite à cette revendication relative au dispositif. Cette revendication porte sur un dispositif à n sortie unique pour lequel le comportement logique du circuit cible doit être décrit par une seule équation. Il décrit un dispositif VLSI dont la reconfiguration est très limitée et, en conséquence, sa conception est moins complexe. La revendication 8 exige une seule porte OU connectée à n cellules qui reçoit les valeurs logiques des produits pour fournir une sortie unique.

73. La divulgation du circuit VLSI dans Dancea¹ montre un bloc de n ports OU avec une sortie sur 8 bits, représentant un maximum de 8 fonctions de sortie devant être évaluées. Une personne versée dans l'art comprendrait que le bloc de n ports OU exigerait 8 portes OU afin de fournir une sortie sur 8 bits. Bien que cette réalisation particulière ne s'appuie pas sur la présente revendication, la réalisation de la figure 12 de Dancea¹

n=est qu'un exemple. Cette publication donne des indications claires et les moyens habilitants pour produire un circuit VLSI mettant en oeuvre la méthode fondée sur des produits avec tout nombre de bits de sortie, y compris un bit unique. Le bloc de ports OU inclurait le même nombre de portes OU que de bits de sortie (tel qu'il a été discuté au sujet de la revendication 2). Pour une réalisation comportant un bit de sortie unique, il y aurait une seule porte OU. Dancea¹ déclare que le mot de fonction est fourni pour * indiquer la contribution du produit aux sorties +. Cela amènerait une personne compétente à réaliser que le mot de fonction ne serait pas requis dans une réalisation à sortie unique. Par conséquent, une personne compétente n=aurait pas employé un bloc de * ports ET +. Le signal d'égalité, représentant la valeur logique du produit, serait appliqué aux * ports OU +, qui contiendraient une seule porte OU. Par conséquent, Dancea¹ donne des renseignements au sujet de l=objet de cette revendication.

74. La Commission conclut que la revendication 8 est anticipée par Dancea¹.

Revendication 9 : Analyse et conclusions

9 Un circuit VSLI [sic] reconfigurable dynamiquement tel que défini dans la revendication 8, dont ladite cellule C(k), composé de :

une zone de stockage servant à stocker un mot de masque et un mot de produit, représentant dudit produit $p(k)$;

un moyen au premier niveau logique permettant de recevoir lesdites variables d'entrée m et les valeurs logiques dudit mot de masque afin de générer des résultats intermédiaires;

un moyen au deuxième niveau logique permettant de comparer lesdites valeurs logiques dudit mot de produit avec les valeurs intermédiaires pour déterminer la valeur logique du produit $p(k)$.

75. À la lecture de l'analyse et des conclusions de la revendication 3 (au sujet de la divulgation des moyens aux premier et deuxième niveaux logiques dans Dancea¹) et de la revendication 8, dont dépend cette revendication, la Commission conclut que la revendication 9 est anticipée à la lecture de Dancea¹.

Revendication 10 : Analyse et conclusions

10 Un circuit VLSI reconfigurable dynamiquement tel qu'il est défini dans la revendication 1, en vue de la mise en oeuvre de circuits séquentiels synchrones de Moore comportant seulement une entrée d'horloge, dans lequel le registre d'entrée est un registre destiné à stocker n variables d'état définissant un état courant, ledit circuit VLSI étant aussi composé :

- d'une entrée d'horloge servant à modifier le contenu dudit registre d'état de l'état courant à l'état suivant;
- une connexion de rétroaction établie desdites sorties r + desdites portes OU au registre d'état.

76. Cette revendication porte sur un circuit séquentiel synchrone réalisé en appliquant la méthode fondée sur des produits à la réalisation d'un circuit VLSI. Il est à noter que cette revendication est subordonnée à la revendication 1, qui n'impose aucune limite connexe au dispositif à la subordonnée. À ce titre, il n'y a pas de structure décrite dans cette revendication autre qu'un circuit VLSI qui comporte une entrée d'horloge, un registre d'entrée qui est un registre d'état et une connexion de rétroaction. Cette revendication est déficiente sur plusieurs plans autres que la question de son anticipation.

77. Dancea¹ décrit l'utilisation de la méthode fondée sur des produits pour réaliser des circuits séquentiels synchrones de Moore . Dancea¹ divulgue aussi une mise en oeuvre de la méthode fondée sur des produits sous forme de VLSI. La figure 12 de Dancea¹ porte sur mise en oeuvre sous forme de VLSI configuré pour réaliser des circuits combinatoires cibles et ne pourrait pas mettre en oeuvre des circuits séquentiels. Par contre, le lecteur compétent comprend la conception d'un circuit séquentiel de Moore. Un circuit séquentiel de Moore comporte un circuit combinatoire qui fournit un signal de sortie en fonction de l'état actuel d'un circuit (voir la figure 1, * état antérieur de la technique + de la description; Dancea¹, page 42, seconde colonne et figure 2). L'état est défini comme étant l'information binaire stockée dans les éléments de stockage, comme des registres, à un moment donné. Un circuit synchrone est un circuit qui comporte un * signal d'horloge + qui sert à activer les éléments de stockage, comme des registres, à des moments discrets. Évidemment, la combinaison de la mise en oeuvre sous forme de VLSI de la méthode fondée sur des produits et de la divulgation de la méthode fondée sur des produits étant appropriée pour réaliser des circuits séquentiels synchrones de Moore mène inévitablement à l'objet de la revendication. Le document de référence Dancea¹ est destiné à être lu par des lecteurs compétents. Ce lecteur conçoit nécessairement que l'expression * circuit séquentiel synchrone de Moore + comporte les éléments décrits dans cette revendication.

78. À ce titre, la Commission conclut que la revendication 10 est anticipée par Dancea¹.

Revendication 11 : Analyse et conclusions

la revendication 1 en vue de la mise en oeuvre de circuits séquentiels synchrones de Moore comportant seulement une entrée d=horloge et * m + entrées de données, composé de :

un registre destiné à stocker * m + variables d=entrée;

un registre destiné à stocker * s + variables d=état;

un premier circuit combinatoire défini par un premier groupe d=équations de somme de produits, ledit premier circuit combinatoire comportant N1 cellules C(k) tel que défini dans la revendication 3, pour recevoir des entrées * m + et des variables d=état * s + et comportant les sorties * r1 +;

d=une entrée d=horloge servant à modifier le contenu dudit registre d=état de l=état courant à l=état suivant;

une connexion de rétroaction établie desdites sorties * r1 + dudit circuit combinatoire au registre d=état.

un second circuit combinatoire défini par un second groupe d=équations de somme de produits, ledit second circuit combinatoire comportant N2 cellules C(k) tel que défini dans la revendication 3, destinées à recevoir lesdites variables d=état suivantes et produisant les signaux de sortie finale * r2 +.

79. Cette revendication porte aussi sur un dispositif VLSI configurable destiné à mettre en oeuvre des circuits séquentiels synchrones de Moore.

80. La figure 2 de Dancea¹ et la figure 1 (état antérieur de la technique) de la présente demande montrent tous les éléments décrits dans la revendication 11. Dancea¹ énonce que la méthode fondée sur des produits peut être utilisée afin de réaliser des circuits combinatoires ou des circuits séquentiels synchrones et que la méthode peut être mise en oeuvre au moyen d'un circuit VLSI. Les détails de conception d'un circuit VLSI mettant en oeuvre des circuits séquentiels synchrones de Moore ne sont pas fournis explicitement, mais la disposition générale de tels circuits de Moore est illustrée dans la

figure 2 de Dancea¹. Lorsqu'on examine la figure 2, on constate que le registre d'état est représenté sous forme de * bascules +; le premier circuit combinatoire est illustré comme * circuit combinatoire 2 +, qui reçoit un signal d'entrée (illustré) et des variables d'état (représentées par la flèche pointant des * bascules + vers le * circuit combinatoire 2 +); la connexion de rétroaction est illustrée sous forme d'une flèche pointant du * circuit combinatoire 2 + vers les bascules; le second circuit combinatoire est illustré comme * circuit combinatoire 1 + qui reçoit l'état suivant (représenté par la flèche partant des bascules et pointant vers le * circuit combinatoire 1 +) et qui fournit le signal de sortie final (illustré comme * sorties +). Il est à noter que les bascules sont des éléments de stockage binaires réels que l'on trouve dans les registres. Chaque bit stocké dans un registre est stocké dans une seule * bascule +. Le groupement de bascules constitue la capacité de stockage d'un registre.

81. La Commission est d'avis que la figure 12 de Dancea¹ décrit un circuit VLSI permettant de réaliser des circuits combinatoires. Par conséquent, le lecteur compétent sera amené directement, sans possibilité d'erreur, à substituer le circuit VLSI de la figure 12 aux circuits combinatoires (qui forment le circuit séquentiel) de la figure 2 de Dancea¹.
82. La Commission conclut que la revendication 11 est anticipée par Dancea¹.

Revendication 12 : Analyse et conclusions

12 Une méthode informatique telle qu'elle est décrite dans la revendication 1, ledit programme expert, qui reçoit des demandes de configuration ou de reconfiguration et traite des équations logiques sous forme de sommes de produits définissant le comportement logique d'un circuit cible comporte :

un moyen permettant de sélectionner le type et la fonctionnalité dudit circuit VLSI;

un moyen permettant d'entrer des noms de variables associés auxdites équations logiques;

un moyen permettant d'entrer les noms de variables connexes auxdites fonctions logiques;

un moyen permettant de détecter les erreurs syntaxiques desdites équations logiques;

un moyen permettant de détecter les erreurs syntaxiques desdites équations logiques;

un moyen de traitement permettant de calculer un mot de masque, un mot de produit et un mot de fonction pour chaque terme \ast produit + $p(k)$ de ladite équation logique;

un moyen permettant de disposer lesdits mots de masque, de produit et de fonction dans des listes de fonction, chaque liste d'équation correspondant à une équation logique;

un moyen permettant de générer une liste de comportements; chargement de ladite liste de comportements dans la zone des registres de stockage desdites cellules $C\{k\}$ tel que défini dans la revendication 3.

83. Tel qu'il a été mentionné précédemment, la Commission interprète cette revendication comme étant une revendication de méthode. Elle décrit un certain nombre de \ast moyens + définissant plus précisément le système expert présenté dans la revendication relative à la méthode 1. La Commission conclut que l'utilisation d'un système expert telle qu'elle est décrite dans la revendication 12 a été montrée dans la colonne 1 et la figure 3 de la page 43 et la figure 4 de la page 45 de Dancea¹. Comme le montre le renvoi à la revendication 1, Dancea¹ présente toute l'information requise pour qu'une personne compétente conçoive un système sélectionnant le type et la

fonctionnalité d'un circuit VLSI, les noms des variables d'entrée associés aux équations et fonctions logiques, les équations logiques d'entrée, la détection des erreurs syntaxiques dans les équations logiques, les calculs d'un mot de masque, un mot de produit et un mot de fonction pour chaque terme * produit + ainsi que leur disposition dans des listes d'équations.

84. En ce qui concerne la génération d'une liste de comportements et le chargement de la liste de comportements dans les registres des cellules, bien que Dancea¹ ne décrive pas explicitement ces éléments, Dancea¹ donne des renseignements qui mènent inévitablement à leur exécution. Comme il a été expliqué dans l'analyse de la revendication 1, Dancea¹ annonce l'utilisation d'un système expert pour configurer les mises en oeuvre de la méthode fondée sur des produits. Comme la méthode fondée sur des produits peut être mise en oeuvre sous forme de circuit VLSI, le lecteur compétent reçoit des renseignements qui mènent à l'utilisation du système expert pour configurer un circuit mis en oeuvre sous forme de VLSI. Cela exige inévitablement le chargement de mots de mémoire dans les registres des cellules afin de configurer le circuit de manière à réaliser le circuit cible. Par conséquent, la méthode définie par la revendication 12 est anticipée par Dancea¹.

85. En ce qui concerne les énoncés relatifs aux moyens, les figures 3 et 4 ainsi que leurs descriptions dans Dancea¹ divulguent les moyens décrits dans la revendication 12.

86. À ce titre, la Commission conclut que la revendication 12 est anticipée par Dancea¹.

Autres arguments avancés par le demandeur

87. Dans sa correspondance avec le Bureau, le demandeur a fait valoir que le matériel VLSI proposé dans Dancea¹ est inadéquat et comporte plusieurs erreurs logiques et conceptuelles. Une grande partie de l'exposé du demandeur en réaction aux objections de l'examineur a porté sur la méthode de synthèse, l'emplacement des portes OU dans la figure 12 de Dancea¹ et la fourniture d'un bloc de commande dans Dancea¹.
88. Ces arguments n'ont pas eu d'incidence sur les conclusions de la Commission pour les motifs suivants.

Ports et portes

89. La figure 12 de Dancea¹ illustre des blocs de ports ET et de ports OU alors que les présentes revendications exigent le recours à des portes ET et des portes OU. Le demandeur a avancé que des ports ne sont pas des portes et que les ports sont plus compliqués que des portes. Dans la lettre du demandeur datée du 21 janvier 2002, à la page 5, il déclare [traduction] :

* Le troisième type d'erreur se trouvant dans le schéma de la figure 12

(publication Dancea¹) est la présence des termes * ports ET + et * ports OU + au lieu de * portes ET + et * portes OU +. Le demandeur mentionne qu'un port est une voie de transmission contrôlée. Le port dispose de ses propres portes d'auto-contrôle permettant de la contrôler. Au moment où l'article a été rédigé, le demandeur a supposé que le transfert par l'intermédiaire des blocs ET et OU doit être validé par des signaux de commande, comme il se produit lorsque des instructions en langage machine sont exécutées. Pour cette raison, le demandeur

a eu recours aux termes * ports + et il a ajouté le * bloc de commande + au schéma de la figure 12 (publication Dancea¹) . Ce bloc avait le rôle d=envoyer les signaux de commande par l=intermédiaire des ports afin de valider le flux d=information dans la solution visée par la demande de brevet, le demandeur utilise des portes et non des ports parce que, après avoir effectué des simulations, l=application a relevé que cette solution est moins complexe et plus sûre. +

90. Dans sa lettre datée du 21 octobre 2002, il déclare à page 3 [traduction] [mise en gras par le demandeur] :

* Dans sa lettre précédente, le demandeur a mentionné que : * Au moment où l=article a été rédigé, le demandeur a supposé que le transfert par l=intermédiaire des blocs ET et OU doit être validé par des signaux de commande, comme il se produit lorsque des instructions en langage machine sont exécutées +. Au niveau matériel, il n=y a pas de différence entre des ports et des portes, les deux sont des portes matérielles. La différence touche les signaux d=entrée. Dans un montage classique, lorsqu=il est nécessaire d=introduire une différence dans la conception, les entrées d=une porte sont seulement des données de signal, alors que les signaux d=entrées d=un port sont des données de signal et des signaux de commande. Par conséquent, le demandeur voulait souligner le fait qu=il y a une différence matérielle interne entre la solution proposée dans la publication Dancea¹ et celle qui est proposée dans la demande de brevet. +

91. La Commission est d=avis que même si les blocs de * ports + décrits dans Dancea¹ sont en fait destinés à remplacer une structure plus complexe qu=un bloc de portes ET ou OU, ils comportent certainement, en tant que sous-ensemble du bloc, les portes correspondantes. Par conséquent, le document de référence Dancea¹ divulgue tout de même des éléments des revendications. De plus, la Commission croit que le lecteur

compétent interpréterait les * ports + comme étant des * portes + et rien d'autre. La Commission n'est pas persuadée que le lecteur compétent verrait qu'il y a un besoin quelconque de signaux de commande pour effectuer la validation. Le transfert de données de registres à un circuit combinatoire afin de produire un signal de sortie constituait une technique courante à la date de la revendication. Le lecteur compétent ne verrait aucun besoin de fournir des signaux de commande aux parties combinatoires du circuit et ce même lecteur n'interpréterait pas le terme * port + de la manière suggérée par le demandeur. Étant donné la méthode que le circuit doit mettre en oeuvre (c.-à-d. la méthode fondée sur des produits) et l'état de la technique de conception des circuits numériques à l'époque, le lecteur compétent interpréterait que le terme * port + signifie * portes +.

92. Bien que la Commission ne se fonde pas sur cette opinion, cette dernière semble être corroborée par la demande que le demandeur a soumise au USPTO dans son *Information Disclosure Statement* daté du 6 juin 2001. Plus précisément, en décrivant les * ports OU + dans Dancea¹, il les décrit comme * en réalité des portes OU +. Dans les discussions suivantes au sujet du même bloc, l'auteur utilise le terme * porte + et non * port +. Il affirme plus loin, à la page 2, paragraphe * c + que le fait de désigner ces blocs au moyen du terme * port + était erroné :

* ... le mot * port +, qui renvoie à des communications en entrée/sortie et, par conséquent, à une structure matérielle spécifique, a été utilisé pour nommer le bloc de la figure 12, au lieu du mot porte, ceci est en fait incorrect et peut entraîner de la confusion (sic). +

93. Ces affirmations sont complètement en opposition avec les renseignements communiqués à l'examineur à ce sujet. Bien que ces déclarations n'aient pas aidé la Commission à prendre sa décision, elles étaient certainement son bien-fondé.
94. La Commission conclut que le terme * port +, dans le sens utilisé dans Dancea¹, équivaut au terme * porte +.

Emplacement des portes OU

95. Le demandeur déclare aussi que le circuit VLSI de Dancea¹ était différent en faisant valoir que les portes OU avaient été déplacées de l'intérieur à l'extérieur de la cellule de base. Il affirme de plus que les connexions des portes OU diffèrent en expliquant que les portes OU ne sont pas connectées aux sorties des cellules de chacune des cellules de base. Le demandeur a déclaré que ces différences causent des résultats erronés dans le document de référence visé.
96. L'examineur a fait remarquer au demandeur que l'emplacement de la porte OU (à l'intérieur ou à l'extérieur des cellules) n'a aucune incidence sur les revendications présentées. La Commission convient de ce point. Les revendications 2, 8 et 10 décrivent des portes OU. La revendication 2 décrit un bloc de portes OU, mais elle ne précise pas si elles sont à l'intérieur ou à l'extérieur des cellules. L'emplacement de la seule porte OU de la revendication 8 n'est pas précisé. La revendication 10 mentionne une connexion de rétroaction partant des portes OU. La portée de ces revendications couvre des dispositifs qui comportent des portes OU à l'intérieur ou à l'extérieur de la cellule.

97. Tel qu'il a été mentionné précédemment, la revendication 3 ne concorde pas avec la description (pages 9, 13, figures 3 et 4) car elle indique que le mot de fonction est appliqué directement aux bornes de sortie. Ainsi, même dans les revendications, l'emplacement des portes OU n'est pas clairement établi.
98. En ce qui concerne les connexions, si on examine la figure 12 de Dancea¹, on voit que le bloc des * ports OU + traverse la limite droite de la cellule de base illustrée, tout comme les bornes d'entrée. Par conséquent, il est clair que les ports OU se prolongent à chacune des cellules de base. Cette situation exige la comparaison avec le bloc de * ports ET + qui, correctement, demeure dans les limites de la cellule de base. Dans ce cas aussi, les détails du câblage des portes OU ainsi que le nombre de portes OU présentes dans le bloc ne sont pas montrés explicitement dans la figure 12. Par contre, ici aussi, on s'accordera à dire que le lecteur compétent comprenant la méthode fondée sur des produits pourra l'utiliser pour mettre en oeuvre le circuit VLSI de la figure 12. La disposition des connexions des portes OU étant définies pour un lecteur compétent, le fait qu'elles se trouvent à l'intérieur ou à l'extérieur de la cellule de base produira le même résultat. Par conséquent, bien que les revendications soient muettes au sujet de l'emplacement des portes OU, la Commission conclut que l'emplacement de la ou des porte(s) OU n'est pas une caractéristique qui a une incidence matérielle sur la manière dont la prétendue invention fonctionne.
99. En ce qui concerne le nombre exact de portes OU comparativement à Dancea¹, la Commission se réfère à l'analyse de la revendication 2, dans laquelle la Commission a conclu que le nombre de portes OU est déterminé au moment où on met en oeuvre

la méthode fondée sur des produits dans Dancea¹ et dans la demande. La Commission n'est pas en mesure de valider la proposition selon laquelle l'emplacement des portes OU à une incidence sur le nombre de portes OU requis par le dispositif VLSI.

Bloc de commande

100. Le demandeur souligne que la fourniture d'un * bloc de commande + dans l'exemple de VLSI dans la figure 12 de Dancea¹ constitue une différence vis-à-vis l'objet des présentes revendications. Dans la lettre du demandeur datée du 21 janvier 2002, il déclare ceci à la page 5 [traduction] :

* ...[discutant des signaux de commande appliqués aux portes ET et OU] et le demandeur a ajouté le * bloc de commande + au schéma de la figure 12 (publication Dancea¹). Ce bloc avait le rôle d'envoyer les signaux de commande par l'intermédiaire des ports afin de valider le flux d'information.

...

Par conséquent, la demande de brevet élimine aussi le bloc de commande. +

101. Dans sa lettre du 21 octobre 2002, le demandeur affirme à la page 3 [traduction] :

* Lorsqu'il y a des signaux de commande, la plus grande partie du bloc de commande est réservé à la gestion de ces signaux de commande. À l'évidence, il doit y avoir un bloc de commande dans tous les types de circuits VLSI, car ce bloc de commande traite d'autres tâches comme le chargement des registres, la création de chemins d'adresse, la suppression des informations dans les registres, le changement d'état d'une cellule d'active à passive et vice-versa, et ainsi de suite. +

102. En premier lieu, la présence ou l'absence de bloc de commande dans la figure 12 est

une question théorique en ce qui concerne l'anticipation. Une revendication est anticipée dans le cas où une divulgation antérieure donne suffisamment de renseignements pour amener inévitablement le lecteur compétent à l'objet de la revendication. Que d'autres éléments soient présents ou non dans la divulgation antérieure n'est pas important à moins qu'ils ne soient exclus explicitement de l'objet de la divulgation. Par conséquent, les conclusions résultant de la lecture de Dancea¹ ne sont pas touchées par l'inclusion ou l'exclusion du bloc de commande.

103. La figure 12 de Dancea¹ montre effectivement un bloc de commande. Dans la description du bloc de commande, la page 50 de l'article déclare :

* La section de commande nous permet de charger le registre de la cellule et donc de modifier dynamiquement le comportement logique de la structure. +

104. Il y a une contradiction dans la soumission du demandeur citée ci-dessus. Dans sa lettre datée du 21 janvier 2002, il affirme, dans une tentative de distinction vis-à-vis Dancea¹, que la demande actuelle élimine le besoin d'un bloc de commande. Par ailleurs, le demandeur (en l'occurrence l'auteur de Dancea¹), dans sa lettre du 21 octobre 2002, reconnaît qu'il doit y avoir un bloc de commande pour charger les registres, créer des chemins d'adresse et ainsi de suite.

105. En outre, la description de la présente demande ne mentionne pas, notamment, comment est effectuée la commande des divers registres du dispositif. Elle est laissée à la discrétion du lecteur compétent de compléter la conception du demandeur au moyen de leurs compétences et de leurs connaissances de l'art of conception de circuits

numériques. Comme le demandeur le fait remarquer, un bloc de commande est requis pour tous les types de circuit VLSI. La mise en oeuvre du demandeur n'évite pas le besoin de fournir des moyens pour gérer l'adressage et la commande des transferts de données vers les éléments de stockage comportant les registres de mot de mémoire dans le dispositif VLSI.

106. La Commission conclut que les présentes revendications de différent pas manifestement de l'article Dancea¹ relatif au bloc de commande.

Méthode de synthèse

107. Le demandeur déclare que les dispositifs VLSI de la présente application n'auraient pas pu être développés au moyen de la * synthèse classique + et qu'on a plutôt eu recours à * l'induction parfaite + pour effectuer leur élaboration. Cet argument n'a aucune incidence sur le rejet de la demande car il néglige la divulgation d'un circuit VLSI dans l'article Dancea¹. Par conséquent, la personne versée dans l'art dispose du circuit VLSI comme point de départ. L'élaboration de la disposition de la mise en oeuvre sous forme de VLSI a déjà été effectuée et elle est à la disposition du public. À ce titre, la Commission n'est pas tenue de tenir compte de la manière dont le demandeur a effectué l'élaboration et de décider si d'autres manières ne produiraient pas l'objet de la revendication.

Résumé des conclusions : Anticipation

108. Par conséquent, la Commission conclut que l'utilisation de ports ou de portes,

l'emplacement et le nombre de portes OU, l'absence de bloc de commande et la méthode de synthèse ne sont pas des facteurs qui mettent en question nos conclusions. La Commission conclut que les revendications 1 à 12 sont anticipées par la publication Dancea¹.

Évidence

109. Dans sa décision finale, l'examineur a allégué que les revendications 1 à 12 étaient évidentes en vertu de l'article 28.3 de la *Loi sur les brevets*, et à la lecture de Dancea¹, Dancea² et l'autre document de référence cité, Dancea³. Les revendications 1 à 12 sont anticipées dans Dancea¹. Par conséquent, la Commission considère qu'il ne peut y avoir d'étape présentant de l'inventivité en regard de l'état antérieur de la technique dans les revendications 1 à 12.
110. En ce qui concerne la revendication 2, en supposant aux fins de la discussion que le registre d'entrée était un élément essentiel, la Commission conclut que la différence intégrée en incluant un registre d'entrée ne confère pas le caractère d'inventivité à la revendication.
111. Pour commencer, le demandeur n'a pas communiqué à l'examineur ou à la Commission l'idée selon laquelle la différence, le cas échéant, que représente la fourniture d'un registre d'entrée confère à la revendication le caractère d'inventivité par rapport à Dancea¹.
112. L'utilisation d'un registre pour stocker les variables d'entrée ou autres destinées à un

circuit combinatoire est une technique répandue en ingénierie électrique. Par exemple, ils sont utilisés avec l'interface d'E/S (entrée/sortie) des périphériques. Ce fait est enseigné dans les études de premier cycle en conception de circuits logiques et en architectures informatiques et il s'agit de connaissances générales communes. En cas d'opposition à cette thèse, on pourra trouver des preuves démontrant qu'il s'agit de connaissances générales communes dans les textes d'introduction des manuels de conception de circuits logiques et d'architecture informatique.

113. Bien que Dancea¹ ne déclare pas explicitement l'utilisation d'un registre d'entrée, la Commission est d'avis que ce point n'a pas été discuté parce cet élément était négligeable sur le plan du fonctionnement de l'invention. Il suffit que les bornes d'entrée soient indiquées, comme elles le sont dans Dancea¹, pour que le circuit VLSI puisse fonctionner de la même manière que dans la présente demande. Une personne détenant des compétences ordinaires aurait été amenée directement, à la date de la revendication, à l'inclusion d'un registre d'entrée au dispositif VLSI présenté dans Dancea¹.

Non-fonctionnalité : SECTION 2

Position de l'examineur

114. Dans sa décision finale, l'examineur a rejeté la revendication 12 en raison de sa non-fonctionnalité, en précisant ce qui suit : [traduction et souligné ajouté]

La revendication 12 énumère les éléments d'un système expert, comportant plusieurs * moyens d'entrée +, mais, selon la revendication, la nature desdits moyens d'entrée n'est pas claire. Il n'est pas clair si le système expert fait entrer les variables ou les équations dans une autre structure quelconque ou si le système expert reçoit des signaux d'entrée d'un agent ou dispositif externe.

La revendication 12 porte sur les divers éléments qui constituent le système expert et, à ce sujet, le lien entre la méthode de chargement de la liste de comportements et le moyen décrit dans la revendication n'est pas clair. Une revendication relative à la méthode doit être définie au moyen des étapes constituant la méthode plutôt qu'au moyen de la structure du système.

La revendication 12 n'est donc pas conforme à l'article 2 de la Loi sur les brevets en raison de ses lacunes sur le plan de l'utilité parce que la revendication est incomplète et ne décrit pas adéquatement les éléments requis pour la mise en oeuvre pratique de l'invention revendiquée

115. La Commission a examiné l'objection de l'examineur à la revendication 12 en vertu de l'article 2 de la *Loi sur les brevets*. Le motif exprimé par l'examineur au premier paragraphe est fondé sur le manque de clarté du * moyen permettant l'entrée + revendiqué, plutôt que sa non-fonctionnalité.

En ce qui concerne le second paragraphe de la décision de l'examineur, il semble viser la déclaration d'une revendication relative à la méthode portant sur une structure au lieu de porter sur des étapes. De manière générale, la Commission ne pose aucune objection à la description d'une structure qui précise la définition d'un système utilisée dans une revendication de méthode.

116. Par contre, la Commission a remarqué la préoccupation de l'examineur au sujet de la relation des énoncés de l'étape de chargement de ladite liste de comportements et celui du * moyen permettant de +. La structure de la revendication 12 est définie comme * ledit programme expert (...) comporte (...) un moyen permettant de ... +. Dans le sens utilisé dans cette demande, qui est aussi celui qui est largement accepté dans ce domaine, un programme est un ensemble d'instructions informatiques exécutables qui sont groupées ensemble afin d'accomplir une ou plusieurs tâches. Il arrive souvent que l'ordre de la séquence d'exécution de ces instructions est critique. Par conséquent, les programmes sont habituellement revendiqués sous forme d'étapes dans une revendication de méthode. L'exécution séquentielle, le cas échéant, des composants du programme du système expert qui constituent un * moyen permettant de + peut être importante. Par conséquent, on ne peut pas présumer, par exemple, que l'étape de chargement de ladite liste de comportements est dans une relation séquentielle quelconque avec les structures * moyen permettant de + précédentes. La décision finale n'établit pas si cette * relation + séquentielle constitue la base de l'objection de l'examineur. Par conséquent, sauf pour ce qui est d'exprimer notre interrogation, la Commission n'est pas en mesure de se prononcer sur cette question.
117. Le troisième paragraphe semble relever des lacunes sur le plan des éléments requis par la revendication 12. La revendication 1 est définie de manière appropriée au moyen d'étapes et elle n'a pas été qualifiée de non fonctionnelle par l'examineur. Comme la revendication 12 est subordonnée à la revendication 1, la Commission ne peut pas soutenir l'objection selon laquelle la revendication 12 ne contient pas suffisamment d'éléments pour le bon fonctionnement de l'invention.

118. Se fondant sur les arguments de l'examineur, la Commission recommande que l'objection de l'examineur en vertu de l'article 2 de la Loi sur les brevets soit renversée.

Recommandation

119. La Commission a relevé de nombreuses anomalies dans les revendications. Par exemple, la revendication 8 est subordonnée à la revendication 1, mais ne constitue pas une base antécédente appropriée pour les expressions * lesdites n cellules + et * lesdits produits +. Un commentaire semblable s'applique à * lesdites portes OU + et * ledit registre d'entrée + de la revendication 10. La terminologie des revendications est aussi confondante, et semble parfois contradictoire. Dans la revendication 1, par exemple, il n'est pas clair si les entrées des r portes OU et r bornes de sortie, et si les variables d'entrée seules sont utilisées pour déterminer la valeur logique du produit. La revendication n° 11 renvoie de manière confuse à différentes caractéristiques des revendications 1 et 3.

120. En résumé, les recommandations de la Commission sont les suivantes :

1. Que l'objection de l'examineur aux revendications 1 à 12 en vertu de l'alinéa 28.2(1)a) de la *Loi sur les Brevets*, en raison de l'antériorité de Dancea, soit confirmée;
2. Que l'objection de l'examineur aux revendications 1 à 12 fondée sur l'article 28.3 de la *Loi sur les brevets*, en raison de l'évidence, soit confirmée;

3. Que l'objection de l'examinateur à la revendication 12 fondée sur l'article 2 de la *Loi sur les Brevets* soit infirmée; et,
4. Que le rejet de la demande de brevet soit confirmé.

M. Gillen

Membre

121. Je suis d'accord avec les conclusions et les recommandations de la Commission d'appel des brevets. En conséquence, je refuse d'accorder un brevet dans le cadre de la présente demande. En vertu de l'article 41 de la *Loi sur les Brevets*, le demandeur dispose d'un délai de six mois pour interjeter appel de ma décision à la Cour fédérale du Canada.

Mary Carman

Commissaire aux brevets

Fait à Gatineau (Québec)

le trentième jour d'avril 2008.